

JAPANESE UTILITY MODEL APPLICATION LAID-OPEN

NO. 56-32464

(Partial Translation)

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a sectional view showing the element structure of the conventional FAMOS device, Fig. 2 is a sectional view showing the element structure according to the embodiment of the semiconductor nonvolatile memory of the present invention, Fig. 3 is a diagram showing a variation in threshold voltages of the element in Fig. 2, and Fig. 4 is a sectional view showing the element structure according to another embodiment of the semiconductor nonvolatile memory of the present invention.

21,22... floating gate (polycrystalline Si and so on), 23,24...  $n^+$  type impurity region, 25... control gate (Al, polycrystalline Si and so on), 26... p-type Si substrate, and 201,202... insulating layer ( $\text{SiO}_2$  and so on).



(4,000円)

実用新案登録願 11

特許庁長官 殿

昭和 54 年 8 月 17 日

考案の名称

半導体不揮発性メモリ

考案者

住所

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社 日立製作所 中央研究所内

氏名

久米 均

(ほか 2 名)

実用新案登録出願人

住所

〒100 東京都千代田区丸の内一丁目5番1号

名称

(510) 株式会社 日立製作所

代表者 吉 山 博 吉

代理人

住所

〒100 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内

氏名

(7237) 弁理士

薄 田 利 幸

印 幸

添附書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 委 任 状 1 通
- (4) 実用新案登録願原本 1 通

✓ 54 112503



32464

方式 査 費

## 明 細 書

考案の名称 半導体不揮発性メモリ

### 実用新案登録請求の範囲

1. 第1導電型の半導体基体の表面領域に、互いに離れて設けられた第1、第2の第2導電型領域と、該第1、第2の第2導電型領域間の基板表面上に絶縁膜を介し設けられたコントロールゲートと、該絶縁膜中の前記第2導電型領域に近接した部位に設けられた衝突電離による電荷の蓄積手段を有することを特徴とする半導体不揮発性メモリ。

### 考案の詳細な説明

第1図は、2層ゲート構造をもつ従来のFAMOS ( Floating-gate Avalanche-injection Metal Oxide Semiconductor ) デバイスであり、1素子で1ビットのメモリセルを構成することかできる。

書き込み時は、p型基板1とソース2をアースに落とした状態で、コントロールゲート3とドレイン4に正の書き込みパルス電圧を加える。電圧

(1)

32+64

特許  
第5711  
号

の印加によりソース・ドレイン間にチャネルが生じ電流が流れる。ドレイン近傍の空乏層電界により加速された電子は衝突電離をひき起こしてエネルギーをもつた電子を発生させ、それらはゲート酸化膜5を通つてフローティングゲート6に引き込まれる。引き込まれた電子はフローティングゲート6に保持されることによつて情報の蓄積が行なわれる。また、フローティングゲート6に保持された電子はメモリ素子の閾値電圧の増加をもたらすので、これより情報の読み出しが可能となる。

本考案は、第1図の2層ゲート構造のフローティングゲートを2つの独立なフローティングゲートに分割した構造を提案するものである。(第2図)

第2図、第1図の構造において、フローティングゲートを分割し、各々のフローティングゲート21および22を2つの $n^+$ 領域23および24の近傍にそれぞれ配置したものである。この構造において、2つのフローティングゲートにそれぞれ1ビットずつの情報を担わせることにより、

(2)

1 素子 2 ビットのメモリセルの実現が可能となる。  
以下では、その原理を中心に述べる。

各フローティングゲートへの書き込み（電子の注入）は次のようにして行なわれる。フローティングゲート 2 1 に対しては、コントロールゲート 2 5 と  $n^+$  領域 2 3 に正の書き込みパルス電圧を印加し、 $n^+$  領域 2 3 近傍で衝突電離をひき起こすことにより書き込まれる。フローティングゲート 2 2 に対してはコントロールゲート 2 5 と  $n^+$  領域 2 4 に正の書き込みパルス電圧を印加すればよい。なお p 型基板 2 6 はいずれの場合もアースに落としておく。

こうして 2 つのフローティングゲートに書き込まれた情報は次の様にして別個に読み出される。いま、フローティングゲート 2 1 に電子が保持された状態を考える。フローティングゲート 2 1 に電子が保持されることによつてひき起こされるメモリ素子の閾値電圧増加の程度は、 $n^+$  領域 2 3 と 2 4 のいずれをドレインとして用い、いずれをソースとして用いるかによつて大きく異なる。ま

た、これはフローティングゲート21の実効長27 ( $n^+$ 領域23の端からフローティングゲート21右端までの長さ)によつても強く影響をうける。第3図は、フローティングゲート21の実効長27 ( $L_{eff}$ )と閾値電圧増加の関係を示したもので、図中31は $n^+$ 領域23をドレインとして用いた場合、32は $n^+$ 領域24をドレインとして用いた場合をあらわしている。横軸はメモリ素子の実効チャネル長28 ( $L_{eff}$ )で正規化されている。また縦軸は $L_{eff}$ が実効チャネル長8に等しい時の閾値電圧増加量 ( $\Delta V_{th0}$ )で正規化されている。第3図より、フローティングゲート21の実効長27 ( $L_{eff}$ )がメモリ素子の実効チャネル長8 ( $L_{eff}$ )の30%程度の値になっている時には、次のことがいえる。すなわち、フローティングゲート21に電子が保持されている状態で、 $n^+$ 領域24をドレインとして用いればメモリ素子閾値電圧は増加を示すが、 $n^+$ 領域23をドレインとして用いた場合は殆ど変化しない。

フローティングゲート 22 に関しても全く同様なことがいえる。

以上のことから、フローティングゲート 21 および 22 の実効長 27 および 29 を適切（メモリ素子実効チャネル長の 30% 程度）に決定すれば、フローティングゲート 21 および 22 にたくわえられた情報は、それぞれ  $n^+$  領域 24 および 23 をドレインとして用いることにより、各々独立に読み出すことが可能となる。こうして、第 2 図の構造によつて 1 素子で 2 ビットのメモリセルが実現される。

第 2 図において、メモリ素子実効チャネル長  $28 = 3 \mu\text{m}$ 、フローティングゲート（多結晶 - Si）の実効長 27 および 29  $= 0.9 \mu\text{m}$ 、同厚さ  $= 300 \text{ nm}$ 、ゲート酸化膜 201 および 202 の膜厚  $= 50 \text{ nm}$ 、p 型基板（Si）26 の不純物濃度  $= 1 \times 10^{16} \text{ cm}^{-3}$  の実施例において、フローティングゲート 21 に書き込みを行つた状態でのメモリ素子閾値電圧変化としては、 $n^+$  領域 24 をドレインとして用いた場合（i. e. 信号

値) 6 V、 $n^+$ 領域23をドレインとして用いた場合(妨害値) 0.5 Vという値が得られている。

消去は、従来の FAMOS と同様に紫外線照射が必要である。

また、第2図の構造において、書き込み電子を保持する手段として、フローティングゲート21および22のかわりに、窒化シリコン( $Si_3N_4$ )膜中の捕獲中心を利用することも可能である。この構造を第4図に示す。書き込みは、第2図の場合と同様、コントロールゲート41とp型Si46内の $n^+$ 領域42あるいは43に正の書き込みパルス電圧を加え、衝突電離による電子をゲート酸化膜44を通して窒化シリコン膜中45に注入することにより行なわれる。電子の注入は、書き込みパルス電圧を加えた方の $n^+$ 領域近傍で局所的に行なわれるため、第4図の構造で、第2図に示した2分割化フローティングゲート構造と同様の動作が可能となる。なお、ゲート酸化膜44の膜厚は、基板46から窒化シリコン膜中への電子のトンネル注入が起こらないようにある程度厚

くしておくことが必要である。

消去は、コントロールゲートに負のパルス電圧を印加することにより、電気的行なりことができる。

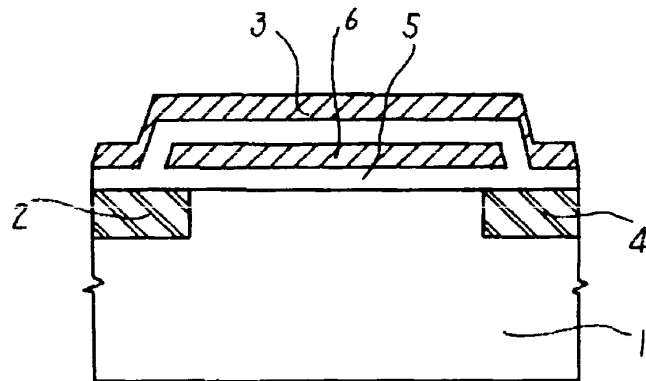
以上の各実施例では、 $n$ チャネル素子を例にとり説明したが、基板および不純物領域の導電型を逆にし、電圧極性も逆にすることによつて、 $p$ チャネル素子も実現できる。

#### 図面の簡単な説明

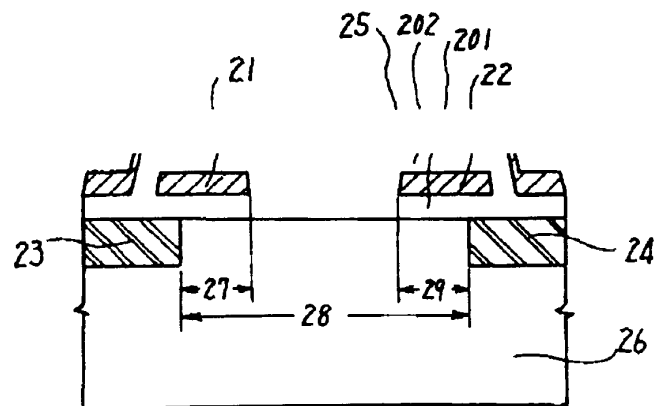
第1図は従来の FAMOS デバイスの素子構造を示す断面図、第2図は本考案の半導体不揮発性メモリの実施例の素子構造を示す断面図、第3図は第2図の素子における閾値電圧変化を示す図、第4図は本考案の半導体不揮発性メモリの他の実施例の素子構造を示す断面図である。

21、22…フローティングゲート（多結晶  $Si$  等）、23、24… $n^+$  型不純物領域、25…コントロールゲート（ $Al$ 、多結晶  $Si$  等）、26… $p$  型  $Si$  基板、201、202…絶縁膜（ $SiO_2$  等）。

第 1 図

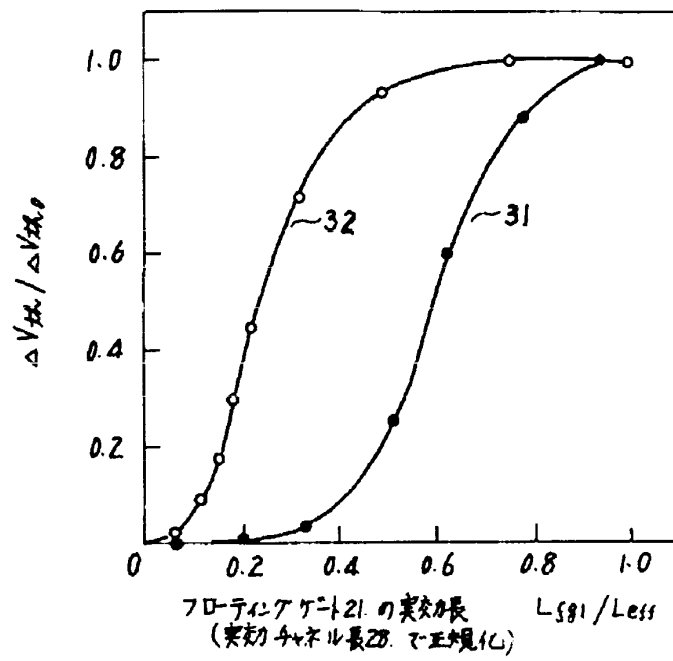


第 2 図

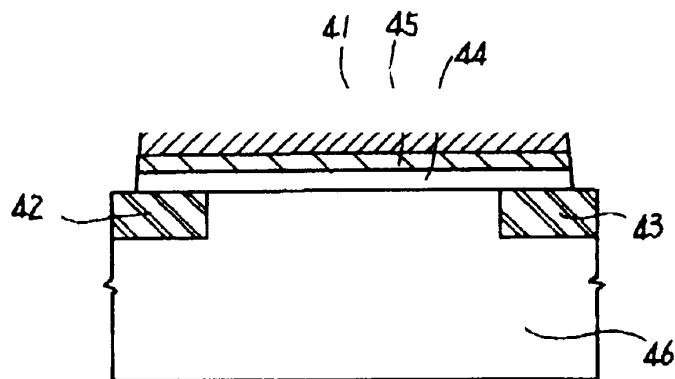


3 : 1/2 代理人 井理士 薄 田 利 幸

第 3 図



第 4 図



32 46  $\Delta \frac{1}{2}$

代理人弁理士 薄 田 利 幸

前記以外の考案者、実用新案登録出願人または代理人

考 案 者

住 所 東京都国分寺市東恋ヶ窪1丁目380番地  
株式会社 日立製作所中央研究所内

氏 名 武 田 英 次

住 所 向 上

氏 名 トヤベ 高谷部 トオル 運

32464